

METHOD FOR SELECTIVELY ETCHING SURFACE OF STRUCTURE**Publication number:** JP5136105 (A)**Also published as:****Publication date:** 1993-06-01

US5116460 (A)

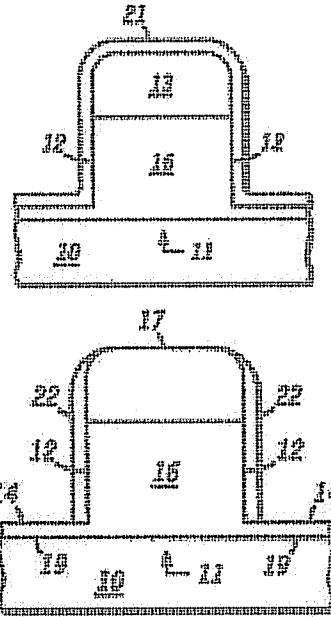
Inventor(s): IEFUIMU BAKUMAN**Applicant(s):** MOTOROLA INC**Classification:**

- **international:** H01L21/302; H01L21/306; H01L21/3065; H01L21/308;
H01L21/311; H01L21/312; H01L21/316; H01L21/3213;
H01L21/02; (IPC1-7): H01L21/302; H01L21/306; H01L21/316

- **European:** H01L21/308D4; H01L21/311D; H01L21/312; H01L21/3213D

Application number: JP19920116752 19920410**Priority number(s):** US19910684130 19910412**Abstract of JP 5136105 (A)**

PURPOSE: To selectively etch a group of materials with a similar etching speed on a semiconductor wafer by preventing a release region from being chemically etched and allowing the remaining polymer on a vertical wall to prevent the vertical wall from being chemically etched. **CONSTITUTION:** A first layer 16 is provided in a semiconductor wafer 10. An etching mask 13 is provided on the first layer 16. A layer with the etching mask 13 is etched partially with respect to a specific point. A polymer film 21 is adhered to a layer that is partially etched. The polymer film 21 is anisotropically etched, a lower region or an empty region 14 is formed in the horizontal polymer film, and a covering 22 of polymer remains on the vertical wall 12. The release region 14 is chemically etched, and the remaining polymer covering 22 on the vertical wall 12 prevents the vertical wall 12 from being chemically etched, thus protecting the upper surface of the semiconductor wafer also.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-136105

(43) 公開日 平成5年(1993)6月1日

(51) Int.Cl.⁵

H 01 L 21/302
21/306
21/316

識別記号

J 7353-4M
S 7342-4M
B 8518-4M

F I

技術表示箇所

審査請求 未請求 請求項の数3(全6頁)

(21) 出願番号 特願平4-116752

(22) 出願日 平成4年(1992)4月10日

(31) 優先権主張番号 6 8 4 1 3 0

(32) 優先日 1991年4月12日

(33) 優先権主張国 米国(US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シヤンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 イエフィム・バクマン

アメリカ合衆国アリゾナ州スコツツデイ
ル、ノース・エイティファイフス・ストリー
ト9809

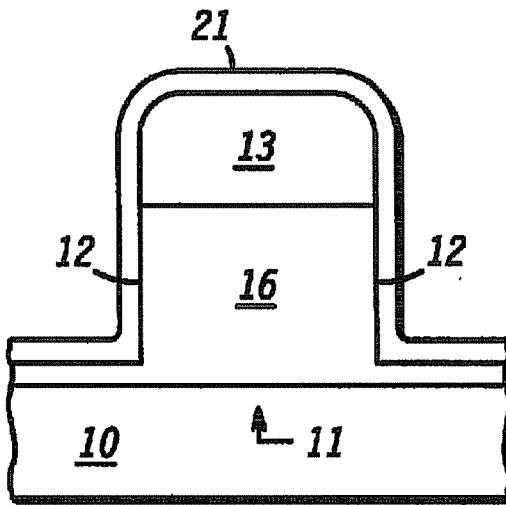
(74) 代理人 弁理士 大賀 進介(外1名)

(54) 【発明の名称】 構造面を選択的にエッティングする方法

(57) 【要約】

【目的】 類似のエッティング速度を有する半導体基板
(10, 30) 上の材料群を選択的にエッティングする方
法を提供する

【構成】 半導体ウェーハ(10, 30)には、少なく
とも1つの第1層が設けられる。第1層上にエッティング
・マスクが設けられる。エッティング・マスク(13)を
持つ層が所定の地点まで部分的にエッティングされる。ポ
リマ膜(21, 38)が部分的にエッティングされた層上
に付着される。ポリマ膜(21, 38)は、異方的にエ
ッティングされて、水平のポリマ膜内に開放領域または空
き領域(14, 34)が形成され、縦壁(12, 36)
上にはポリマの皮膜(22, 37)が残される。開放領域
(14, 34)は化学的にエッティングされ、縦壁(1
2, 36)上の残りのポリマ皮膜(22, 37)は、縦
壁(12, 36)が化学的にエッティングされるのを防
ぐ。本方法で、半導体ウェーハの上面をも保護するこ
とができる。



1

【特許請求の範囲】

【請求項1】 半導体ウェーハ上の類似の異方性エッチング特性を有する層内に構造面を選択的にエッチングする方法であって：半導体ウェーハ30に第1層32および第2層34を設ける段階；第2層を開放領域とする第2層上のエッチング・マスクと、エッチング・マスクにより保護される覆われた領域とを設ける段階；所定量の開放部領域が除去されるまで、第2層の開放部領域を部分的にエッチングする段階；部分的にエッチングされた開放領域と、覆われた領域の上にポリマ膜38を付着させる段階；ポリマ膜38を異方性エッチングして、ポリマ膜38により保護されるエッチングされた開放領域の壁37を残して、後の領域のポリマはすっかりエッチングする段階；およびポリマを取り去った開放領域を化学的にエッチングする段階；によって構成されることを特徴とする方法。

【請求項2】 半導体基板上で第1層を選択的にエッチングする方法であって：半導体基板10に、第1層上に規定される少なくとも1個のエッチング・マスクを有する第1層16を設ける段階；第1層の所定の深さに達するまで第1層16を異方的にエッチングして、それにより少なくとも1つの壁12を作成する段階；エッチング・マスク、所定の深さまで部分的にエッチングされた第1層および少なくとも1つの壁をポリマ膜21により覆う段階；ポリマ膜21を異方性エッチングして、ポリマ膜を取り去った領域19を形成し、部分的にエッチングされた第1層14を露出させ、少なくとも1つの側壁12上にポリマ膜を残す段階；および部分的にエッチングされた第1層を、半導体基板に対して選択性を持つ異方性薬剤によりエッチングする段階；によって構成されることを特徴とする方法。

【請求項3】 半導体基板上で少なくとも1つの第1層を選択的にエッチングする方法であって：第1層16の選択的領域を、高エネルギーのプラズマでエッチングして、少なくとも1つの側壁12を形成する段階；第1層16を貫通しないうちにエッチングを止める段階；第1層と少なくとも1つの側壁をポリマ膜21により覆う段階；ポリマ膜の水平面全体を異方性エッチングして、少なくとも1つの側壁上にポリマ膜21を残す段階；ポリマ膜21により覆われていない第1層16の残りの部分を異方性エッチングする段階；およびポリマ膜21を除去して、少なくとも1つの側壁12を露出させる段階；によって構成されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般的に、半導体製品の製造法に関する。さらに詳しくは半導体製品のための半導体デバイスに用いられる構造面をエッチングする方法に関する。

【0002】

10

2

【従来の技術】 半導体デバイスのエッチングの大半は、従来、気体プラズマ処理を用いて行われている。このプラズマ処理は、プラズマ・エッチングとして一般的に知られている。適切な処理条件を選択することにより、気体プラズマは、主として化学的方法、主として物理的方法または化学的方法と物理的方法との組合せとすることができる。主として、化学的方法と物理的方法のいずれを選択するかにより、エッチングされた膜の構造的な効果が異なる。化学的方法では、等方的にエッチングを行い、寸法の制御は行わないのに対し、物理的方法では異方的にエッチングを行って、寸法の制御を行う。さらに化学的あるいは等方性エッチング法は、通常は、エッチングされる層の下の下部層または基板を傷つけない。しかし、異方性エッチングでは電位の高いプラズマを用いるのが普通で、このプラズマがエッチングされる層の下の下部層または基板に損傷を与える。

20

【0003】 また、気体プラズマの処理条件を調節することにより、エッチング速度や選択性などの処理パラメータを調整および変更することができる。エッチング速度または除去速度とは、材料が除去される速度を示すパラメータである。選択性とは、特定の組のプラズマ条件について互いに比較される2つ以上の材料のエッチング速度または除去速度である。最近までは、主として化学的方法、または主として物理的方法のいずれかに合わせて気体プラズマを調節するだけで、構造的な効果、エッチング速度および選択性に関して望み通りの結果を得るには充分であった。

30

【0004】 しかしながら、半導体製品がより複雑化し、エッチングの条件がより厳格になるにつれて、望ましい構造的効果を維持しながら望ましい選択性を達成することにいくつかの問題が起きてきた。ひとつは、同様なエッチング速度でエッチングし、さらに同時にエッチングされる2つの材料間で高度な選択性のエッチングが必要とされる場合に起くる。従来の調整方法を用いても、このような材料群を高い選択性を保ち、寸法の制御を行いながらエッチングすることはできない。この条件が達成できることにより、ある種の構造体の製造が不可能となったり、製造される半導体デバイスの品質が低下している。

40

【0005】 また、アスペクト比の高い構造面をプラズマ・エッチングする場合、たとえば側壁スペーサを作成するときなどに、寸法の制御の問題や下部層または基板が傷つけられるなどの問題が悪化する。従来の方法を用いても、高いアスペクト比の構造面をエッチングして、なおかつ寸法の制御を行い、高い選択性を保ち、下部構造に対する損傷を小さくすることはできない。

【0006】

【発明が解決しようとする課題】 そのために、高度に選択性のエッチングを行い、よりよい寸法制御を行う方法が非常に望まれる。さらに、放射による損傷から半導体

デバイスを保護したり、あるいは高エネルギーのイオンからエッティング損傷を防ぐ方法を得ることが望まれる。

【0007】

【課題を解決するための手段】簡単にいうと、本発明により、半導体ウェーハ上で同様のエッティング速度を有する材料群を選択的にエッティングする方法が提供される。半導体ウェーハには、第1および第2層が設けられる。第2層にはエッティング・マスクが設けられ、この層が所定の地点まで部分的にエッティングされる。部分的にエッティングされた第2層に、ポリマ膜が付着される。ポリマ膜は、異方性エッティングされて、ポリマ膜内に開放領域あるいは空き領域を作り出すが、このとき部分的にエッティングされた第2層の壁上にはポリマ膜が多少残されている。開放領域が化学的にエッティングされ、一方、縦壁の残りのポリマは、縦壁が化学的にエッティングされることを防ぐ。

【0008】

【実施例】図1は、ポリマ皮膜21により覆われた、部分的にエッティングされた構造面11を持つ、半導体基板10の一部の断面図である。半導体基板10の小さな部分だけが図示されており、構造面11のような多くの構造面をさらに半導体基板10上に載せることができると理解されたい。また、構造面11は半導体基板10上の第1層より形成されるが、基板10は第2層の材料であってもよい点も理解されたい。図示するためだけの目的で、半導体基板10の使用が選択された。第1層の材料は当技術で既知の方法を用いることにより、半導体基板10上に付着または成長される。第1層は、誘電体、導体、II-V半導体材料やその他の半導体材料など、多くのさまざまな種類の材料から作ることができる。好適な実施例においては、第1層は2酸化シリコンなどの誘電体である。第1層は、図1では連続層としては図示されておらず、薄い領域16を持つ、部分的にエッティングされた構造面11として示されている。従来、寸法制御を行なったり、パターン幅をエッティングされる層または基板に転移させるためには、異方性エッティングが用いられている。一般に、このような転移を行なうために、縦方向にエッティングする高エネルギー・プラズマが用いられる。第1層は当技術ではよく知られている方法によりパターンングされる。

【0009】本発明では、第1層は部分的にエッティングされるだけで、半導体基板10上に構造面11を形成する。構造面11は、異方性プラズマ・エッティング法によりエッティングされ、それによって、エッティング・マスク13の幅と同様のあるいは等しい幅を持つ、垂直側壁あるいはほぼ垂直の側壁12が作り出される。さらに、異方性エッティングまたは方向性エッティングにより、側壁12はほとんどまたは全然損傷されない。これは異方性エッティングの垂直の性質によるものである。第1層が最後までエッティングされるのは一部だけで、薄い層16が残

っていることも重要なことである。薄い層16を最後までエッティングせずおくことにより、第1層を最後までエッティングする従来の異方性プラズマ・エッティングでは普通に起こるイオンの衝突や放射による損傷から表面19が保護される。高エネルギーのイオンを用いた通常のエッティング中に、シリコンのような基板が受けるイオン衝突や放射による損傷のために、これらの露出された基板はデバイスを搭載するには不適切なもの、またはぎりぎりのものになってしまう。通常本発明では、第1層は所定の深さ、全体の約8.5%ないし9.5%までエッティングされる。しかし、仕上げパーセンテージあるいは望ましいストップ地点は、異方性エッティング法の均一度に依存する。第1層のエッティングをいつ止めるかを知るには、時間、レーザ干渉測定、その他の端点検出法など多くの方法がある。

【0010】構造面11の部分的エッティングが完了した後、同形のポリマ皮膜21を部分的にエッティングされた構造面11と、半導体基板10上のすべての連続する露出面とに付着する。一般的にこの付着は、プラズマの化学的性質をエッティング・モードから同形ポリマ付着モードに変更することにより行われる。しかし、構造面11をエッティングするために用いたのと同一の反応剤内でポリマ皮膜21を付着させることができないが、別の反応剤内でポリマ皮膜21の付着を行うことも可能である点に留意されたい。ポリマ皮膜21を作成することのできる反応剤とプラズマ条件には多くの種類がある。普通この薬品は、比較的高圧、低電力で反応させた過フッ化炭化水素である。図示だけを目的として、図1で用いられる例は、シリコン製の半導体基板10と、2酸化シリコン製の第1層から作成された構造面11を有するものとする。他の基板や他の層および構造面を用いることができる点にも留意されたい。

【0011】例として、ポリマ皮膜21は半導体基板10の全ての被露出面上に、約500オングストロームないし1,500オングストロームの厚みに付着される。この付着は通常、CH₂F₂、C₂H₂F₂などの過フッ化炭化水素ガスでつくられたプラズマを用いて行われる。プラズマ条件は、通常、250ワットないし1,500ワット、室圧100ミリトルないし1.5トルである。

【0012】図2は、異方性エッティングによりエッティング除去されたポリマ皮膜21の水平部分を有する、部分的にエッティングされた構造面11を持つ、半導体基板10の一部の断面図である。同形のポリマ皮膜21を異方的にエッティングすることにより、同形のポリマ21により覆われていた水平面がすべてエッティング除去されて、そのために表面14と17とが露出されている。例として、通常は、ポリマ皮膜21を揮発性ガスに酸化させるプラズマ内で、異方的にポリマ皮膜21をエッティングする。酸化プラズマ剤は酸素などの気体で作ることができるもの。概して、異方性条件は低圧力、高電力を用いること

により達成される。通常の圧力範囲は1.0ミリトルないし200ミリトルで、電力の範囲は500ワットないし1,500ワットである。図1に示されるように、同形のポリマ21の露出された水平面をエッティング除去すると、2酸化シリコン面14とフォトレジスト面17とが露出され、2酸化シリコン側壁12はポリマ皮膜22により保護される。

【0013】また側壁12は、同形のポリマ皮膜21の一部であったポリマ皮膜22によってまだ覆われている。ポリマ皮膜22により側壁12を覆うことで、側壁12に対する保護が行われる。これで側壁12に影響を与えることなく、露出された水平面14を化学的にエッティングすることができる。通常、表面14のエッティングは異方性手段または化学的手段により実施される。そのため薄い層16のエッティングは垂直方向にも水平方向にも同じ速度で行われる。しかし、側壁12はポリマ皮膜22により保護されており、薄い層16の厚みが小さいので、薄い層16を完全にエッティングまたは除去しても、構造面11にはほとんど、または全然影響を与えない。さらに、薄い層16を化学的にエッティング除去することにより、半導体基板10そのものに対する損傷が防止される。そのため、側壁12に損傷を与えることなく、また基板10にも損傷を与えることなく、薄い層16の除去またはエッティングを行うことができる。

【0014】異方性エッティングまたは化学的エッティングは、乾式プラズマ・エッティングまたは湿式化学的エッティングのいずれを用いても行うことができる。ここでは、希釈したフッ化水素酸水溶液による湿式化学エッティングを用いることが、薄い酸化物層16を除去するために好ましい。希釈したフッ化水素酸水溶液で薄い酸化物層16をエッティングすることにより、半導体デバイスの品質を持つシリコン基板19が露出される。シリコン基板19は異方性気体プラズマからのイオン衝撃や放射に直接さらされていないので、これらにより起こっていたであろう損傷は本発明では起こらない。

【0015】薄い層16の除去が行われたら、過酸化水素と硫酸水溶液、または酸素プラズマなどの、通常の従来の方法と技術とを用いて残りのポリマ22を異方的にまたは化学的に除去することができる。

【0016】図3は、エッティングされた構造面31上にいくつかの構造層32、34を持つ、半導体基板30の一部の断面図である。層34と側壁36とはエッティングされた厚い同形層からできている。層32、34を用いて、構造面31の周囲に側壁36が作られる。エッティングされた構造面31は、半導体技術では既知のいろいろな方法で作成することができる。エッティング構造面31は、シリコン、ポリシリコン、III-V半導体材料、金属、合金など半導体デバイスを作成するために用いられる多くのさまざまな材料で作成することができる。エッチ

ング構造面31は同形の薄い層32により覆われるが、これはエッティングされた構造面31上に付着または成長されたものである。薄い層32は、酸化物や窒化物などのいくつかの材料からも作成することができる。次に厚い同形の膜を薄い同形の層32上に付着させる。厚い同形層もまた、酸化物や窒化物などのいくつかの材料で作成することができる。薄い同形層32と厚い同形膜36は両方とも当技術では既知の方法を用いて作成される。

【0017】本発明では、厚い同形膜が所定の深さ、すなわち全体の約85ないし95%の深さまでエッティングされる。しかし仕上げのバーセンテージまたは望ましいストップ地点は異方性エッティング法の均一度に依存する。このエッティングは、マスクを用いず、均一に垂直方向に行われる。厚い同形膜を異方的にエッティングすることにより、水平領域34が薄くなり、縦壁または側壁36はエッティング前の厚い同形層とほとんど同じ厚みのまま残る。厚い窒化物のエッティングをいつ止めるかを知るには、時間、レーザ干渉測定、端点検出など多くの方法を用いることができる。もとの厚い同形膜を異方的にエッティングした後で、エッティングされた表面全体にポリマ皮膜38を同形に付着する。

【0018】ポリマ皮膜38は、図1で前述されたポリマ皮膜21と同様の方法でプラズマ反応剤内で付着される。

【0019】わかりやすくするために、本発明を図示するため用いる例は単一構造のものとする。単一構造を用いても、本発明の多くの可能性のある材料を制限するものではない。単一構造は、シリコン製の構造面31と、酸化物製の薄い同形層32と、厚い同形層とを有する（ここでは、薄い層34と側壁36とは窒化シリコン製とする）。通常、薄い酸化物層32と厚い窒化膜の厚みは、それぞれ50オングストロームないし300オングストローム、3,000オングストロームないし5,000オングストロームである。

【0020】図4は、異方性手段によりポリマ皮膜38の水平部分がエッティング除去されている、部分的にエッティングされた構造面11を持つ半導体基板30の一部の断面図である。ポリマ38を異方的にエッティングしたことにより、水平面はきれいにエッティングされて、ポリマ38がなくなり、ポリマ38の一部がポリマ37として残り、側壁36を保護している。この保護は、薄い材料領域34を除去するための次の処理に備えるもので、これで領域34は化学的または異方性エッティング法を用いてエッティング除去することができる。化学的エッティングまたは異方性エッティングは、除去される材料により乾式プラズマ・エッティングと湿式化学エッティングのいずれかでよい。低エネルギーの気体プラズマ、主として化学的プラズマを用いると、いずれも、高エネルギーのイオンが衝突する薄い材料34とその結果できる層32を持たないことにより、下部層に対する損傷を避けるかあるいは減

することができる。そのため湿式プラズマおよび気体プラズマの両方を含む、化学的エッティングまたは異方性エッティングのいずれを使用するかは、エッティング除去される材料により選択することができる。さらに、ポリマ37によって側壁36が保護されているので、薄い層32を傷つけず、また側壁36の寸法の制御を失うことなく、薄い材料領域34を除去することができる。従来は、薄い層32に損傷を与えず、また側壁36の寸法の制御を失わずに厚い膜をエッティングするためには、処理条件を最良の選択性に調整しなければならなかった。しかし側壁36、薄い材料領域34および薄膜32がすべて同様の速度でエッティングすると、処理条件を調整しても選択性を上げるという望ましい効果を得ることはできない。また、ポリマ皮膜37により側壁36を保護することによって、側壁36の寸法制御に影響を与えずに薄い材料34を異方的にエッティングすることができるようになる。

【0021】通常、ポリマ38の水平領域の除去は、ポリマ38の水平領域を、異方性を持つ酸化プラズマにさらすことにより行われる。このプラズマは、酸素などの酸化ガスを用いることにより得られる。このようなプラズマの典型的な処理条件は、圧力が1.0ミリトルないし200ミリトル、電力が500ワットないし1,500ワットである。

【0022】異方性酸化プラズマで水平のポリマ領域38を除去することにより、薄い窒化シリコンの領域34が露出され、これでこの領域は化学的または異方性エッティング法により除去することができる。化学的または異方性エッティング法を用いて薄い窒化シリコン領域34を除去することにより、酸化物層32に損傷を与えずに除去を行うことができる。また、薄い層32の異方性エッティング中はポリマ37が側壁36を保護する。この例では、乾式化学または異方性プラズマ・エッティングを用いて薄い窒化シリコン領域34を除去することが好ましい。乾式化学プラズマは通常は、反応剤に過フッ化炭化水素と酸素ガスの混合体を使用している。過フッ化炭化水素は窒化シリコン薄膜と反応して、揮発性ガスを生成し、酸素が反応して過フッ化炭化水素により付着されたポリマを除去する。このガスの混合体によりポリマ37の一部がエッティングされることもあるが、窒化シリコン領域34のエッティングに先立ち付着されたポリマ37の厚みは、薄い窒化シリコン領域34が除去される程度の多少のエッティングには充分耐えうる厚さであることを理解されたい。また、この例では、窒化シリコンと酸化物との化学的または異方性エッティング速度はかなり違つており、窒化シリコンのエッティングは2酸化シリコンのエッティングよりもはるかに高速で行われる。しかし、窒化シリコンと2酸化シリコンの異方性エッティング速度は非常に近いものである。そのため、薄い窒化物領域34を

除去するために化学的エッティング法を用いても、異方性エッティング法を用いても、選択的エッティングが行われ、酸化物層32は高エネルギーの異方性プラズマにさらされることはない。異方性プラズマによりエッティングすることにより、エッティングは全方向において同じ速度で起こることを理解されたい。また、異方性エッティング手段を用いることにより、薄い層32に対する損傷は無視できる程度になる。そのために窒化シリコンの薄い層32の厚みは、250オングストロームないし750オングストロームになり、側壁36の下から除去される量は、あつたとしても、非常に少ない。

【0023】水平面34のエッティングが終了すると、過酸化水素と硫酸を用いた湿式化学ストリッピングや酸素プラズマなどの通常の従来の方法により、残っているポリマ37の除去が行われる。

【0024】図1, 2では、幅の寸法の制御を維持して、傷つきやすい表面19に損傷を与えないで構造面11をエッティングする方法が説明されている。図3, 4では、複数の層が、すでに存在する構造面31の上に付着または成長されて、側壁36を作ることのできる点が異なる、同様の方法が説明されている。

【0025】以上、下部の表面または基板を傷つけずに、同様のエッティング速度をもつ材料内で構造面を選択的にエッティングし、なおかつ基準寸法を制御する方法が提供されたことを理解されたい。また、通常は低い選択性を持つ材料で、アスペクト比の高い側壁スペーサを高い選択性をもってエッティングする方法も提供される。

【図面の簡単な説明】

【図1】本発明を実行するためのさまざまな段階における、半導体デバイスの一部の断面図である。

【図2】本発明を実行するためのさまざまな段階における、半導体デバイスの一部の断面図である。

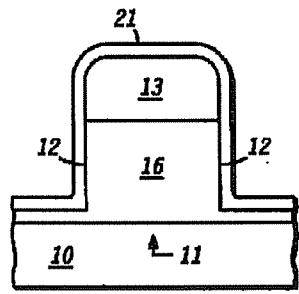
【図3】本発明を別の実施例で実行するためのさまざまな状態における、半導体デバイスの一部の断面図である。

【図4】本発明を別の実施例で実行するためのさまざまな状態における、半導体デバイスの一部の断面図である。

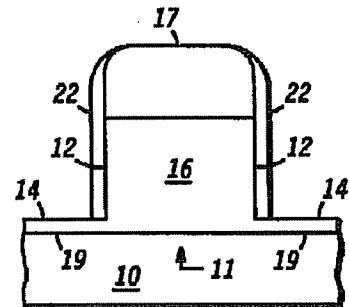
【符号の説明】

- 10 基板
- 11 構造面
- 12 側壁
- 13 エッティング・マスク
- 14 開放領域
- 16 薄い酸化物層
- 17 フォトレジスト膜
- 19 表面
- 21, 22 ポリマ膜

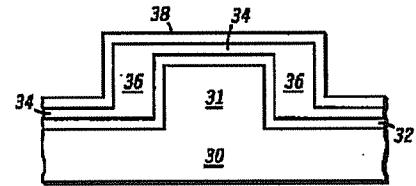
【図1】



【図2】



【図3】



【図4】

